



用户手册

MP5650 核

明德扬科教

2023年11月30日

文档版本

版本	修改记录
REV1.0	创建文档
2.0	2023-7-27

目 录

文档版本	1
一、开发板简介	4
1.1 产品简介	4
1.2 产品规格	5
1.3 产品外观	6
1.4 产品结构尺寸图	6
二、MP5650核心板使用手册详细介绍	7
2.1 FPGA芯片	7
2.2 DDR3 SDRAM	8
2.3 FPGA BANK接口电平选择	14
2.4 QSPI Flash	14
2.5 核心板时钟	15
2.5.1 FPGA 系统时钟源	16
2.5.2 GTX时钟	16
2.5.3 EMCCLK时钟	17
2.6 JTAG调试口	18
2.7 系统复位	18
2.7.1 核心板上电复位	18
2.7.2 核心板按键复位	19
2.8 LED灯	19
2.9 核心板电源	20
2.10 EEPROM	21
2.11 核心板启动方式	22
2.12 连接器管脚定义	22

三、底板选配	33
3.1 明德扬MP5705-NetSata3	33
3.2 明德扬MP5700-光纤底板	33
四、底板设计注意事项	34
4.1 电源部分PCB设计	34
4.2 高速接口布局走线	34
4.2.1 千兆以太网	34
4.2.2 HDMI接口	34
4.2.3 其他高速接口	34
4.3 LVDS信号	34
4.4 GTX信号走线	34
五、常见问题	35
六、技术支持	38
七、更多帮助	38

一、开发板简介

1.1 产品简介

MP5650 核心板采用 XILINX 公司 Kintex-7 系列的 XC7K325T- 2FFG900I/ XC7K410T- 2FFG 900I 作为主控制器，核心板采用 4 个 0.5mm 间距 120Pin 镀金连接器与主板连接，核心板四个角放置了 4 个 3.5mm 固定孔，此孔可以与底板通过螺丝紧固，确保了在强烈震动的环境下稳定运行。

这款 MP5650 核心板能够方便用户对核心板的二次开发利用。核心板使用 XILINX 的 KINTEX-7 芯片的解决方案，在 FPGA 芯片的 HP 端口上挂载了 4 片 DDR3 存储芯片，每片 DDR3 容量高达 512M 字节，每片 16bit 组成 64bit 位的数据位宽。1 片 128Mb 的 QSPI FLASH 芯片用来静态存储 FPGA 芯片的配置文件或者其它用户数据。

整个开发系统的结构示意图如下图所示：

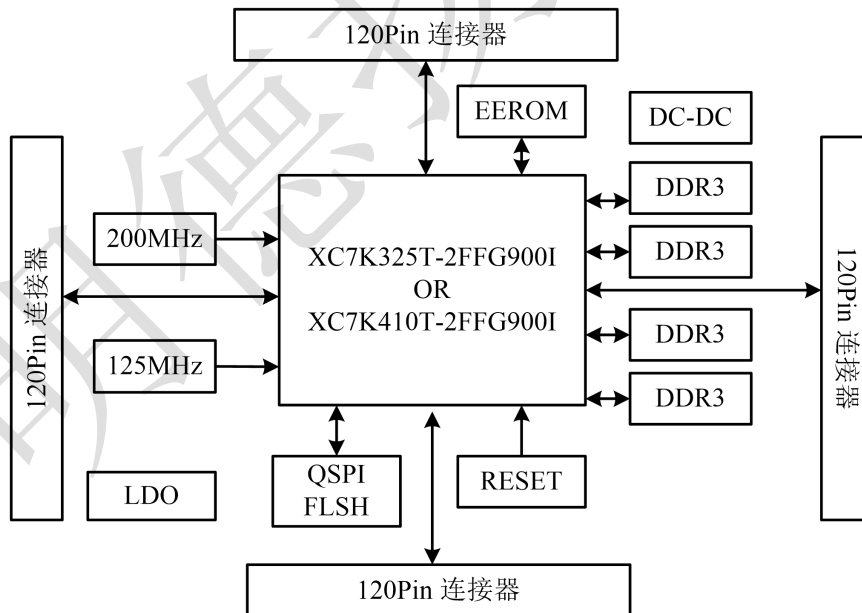


图1-1-1 开发系统的结构示意图

通过以上示意图，我们可以看到，我们这个核心板开发平台所能含有的接口和功能。

这款核心板的4个板对板连接器扩展出了276个IO，其中BANK12、BANK13、BANK15、BANK16、BANK17、BANK18的全部IO的电平可以通过更换核心板上的磁珠来修改，满足用户对+3.3V、+2.5V、+1.5V电平接口的需求；另外核心板也扩展出了16对高速收发器GTX接口。对于需要大量IO的用户，此核心板将是不错的选择。而且IO连接部分，同一个BANK管脚到连接器接口之间走线做了等长和差分处理，对于二次开发来说，非常适合。

1.2 产品规格

表1-2-1 MP5650核心板规格

MP5650核心板规格	
FPGA主控制器	XC7K325T-2FFG900I/XC7K410T-2FFG900I
DDR3	2GB
QSPI FLASH	128MB
启动方式	JTAG/QSPI FLASH
用户RESET	高电平复位
IO数量	280个（全部BANK电平1.8/2.5/3.3V可调）
GTX接口数量	4个BANK、TX/RX各16对
工作电压/最大电流	5—12V/3A
核心板尺寸、工艺	85×65mm、沉金工艺
与底板扣接高度	3mm
工作温度	-40°C~+85°C

1.3 产品外观



图1-3-1 MP5650核心板正面照片

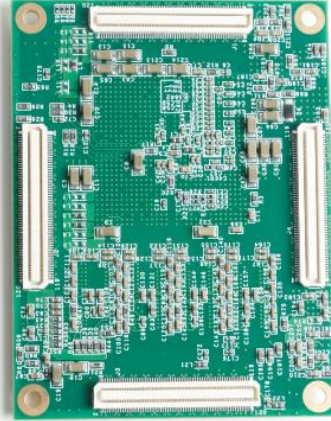


图1-3-2 MP5650核心板背面照片

1.4 产品结构尺寸图

核心板结构尺寸图：65(mm)x85(mm)， PCB：14 层。

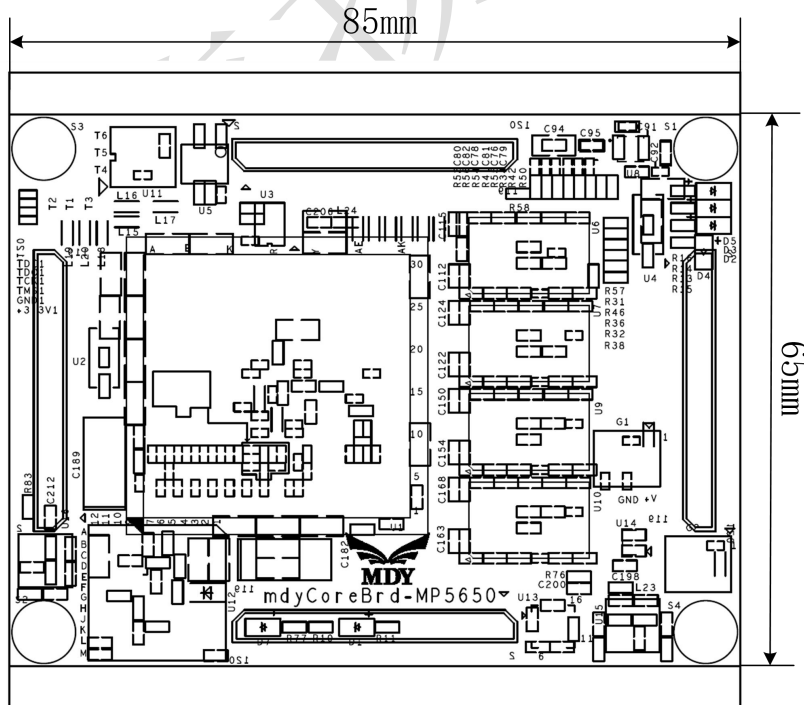


图1-4-1 MP5650核心板尺寸图

二、MP5650核心板使用手册详细介绍

2.1 FPGA芯片

核心板使用的是Xilinx公司的KINTEX-7 FPGA芯片，芯片型号可选C7K410T-2FFG900I和XC7K325T-2FFG900I，二者除片上资源不同外，管脚完全兼容。速度等级为2，温度等级为工业级。此型号为FFG900封装，900个引脚，引脚间距为1.0mm。Xilinx Kintex-7 FPGA的芯片命名规则如下图2-1-1所示：



图2-1-1 Kintex-7 FPGA芯片实物图

表2-1-1 Kintex-7 XC7K325TFFG900-2I的主要参数表

名称	325T详细参数	410T详细参数
管脚(I/O)	900	900
输入/输出缓冲器(IOBs)	500	500
查找表(LUT Elements)	203800	254200
触发器(Flip-Flops)	407600	508400
36Kb Block RAMs	445	795

名称	325T详细参数	410T详细参数
DSP单元(DSP Slices)	840	1540
高速收发器(GTX Transceivers)	16个,12.5Gb/s Max	16个,12.5Gb/s Max
PCIe Gen2	1	1
时钟管理单元(MMCMs)	10	10
XADC	1个,12bit, 1Mbps	1个,12bit, 1Mbps
速度等级(Speed Grade)	-2 (Mid)	-2 (Mid)
温度等级(Temperature Grade)	I (工业级)	I (工业级)

2.2 DDR3 SDRAM

MP5650开发板上配有四片Alliance Memory 的256MB的DDR3芯片,型号为AS4C256M16D3B-12BCN (兼容MT41J256M16XX-125)。每片DDR3 SDRAM数据位宽为16bit, 共组成64bit的数据总线宽度。因为4片DDR3芯片连接到FPGA的HP口, DDR3 SDRAM的最高运行速度可达800MHz(数据速率1600Mbps), 四片DDR3存储系统直接连接到了FPGA的BANK32, BANK33, BANK34的接口上。DDR3的具体配置如下表2-2-1所示。

表2-2-1 DDR3配置

位号	芯片型号	容量	厂家
U6,U7,U9,U10	AS4C256M16D3B-12BCN	256M × 6bit	Alliance

核心板的DDR3的接口的设计示意图如下图所示：

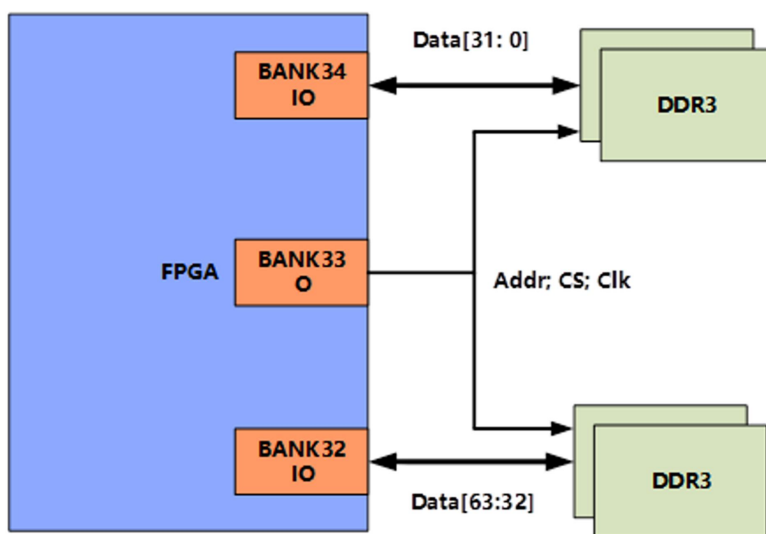


图2-2-1 核心板的DDR3的接口的的设计示意图

核心板采用高速布线，DDR3 的硬件设计需要严格考虑信号完整性，开发板的电路及PCB 设计已经充分考虑了匹配电阻/终端电阻，走线阻抗控制，走线等长控制，以确保DDR3 稳定工作。核心板的4片DDR3实物如下图所示：

4片DDR3管脚分配配置如下2-2-2所示。

表2-2-2 DDR3管脚分配配置

DDR3信号名称	FPGA 管脚名称	FPGA 管脚位号
DDR3_D0	IO_L13P_T2_MRCC_32	AD18
DDR3_D1	IO_L16N_T2_32	AB18
DDR3_D2	IO_L14P_T2_SRCC_32	AD17
DDR3_D3	IO_L17P_T2_32	AB19
DDR3_D4	IO_L14N_T2_SRCC_32	AD16
DDR3_D5	IO_L17N_T2_32	AC19
DDR3_D6	IO_L13N_T2_MRCC_32	AE18
DDR3_D7	IO_L18P_T2_32	AB17
DDR3_D8	IO_L8P_T1_32	AG19
DDR3_D9	IO_L7N_T1_32	AK19
DDR3_D10	IO_L10P_T1_32	AD19

DDR3信号名称	FPGA 管脚名称	FPGA 管脚位号
DDR3_D11	IO_L7P_T1_32	AJ19
DDR3_D12	IO_L11P_T1_SRCC_32	AF18
DDR3_D13	IO_L8N_T1_32	AH19
DDR3_D14	IO_L10N_T1_32	AE19
DDR3_D15	IO_L11N_T1_SRCC_32	AG18
DDR3_D16	IO_L1N_T0_32	AK15
DDR3_D17	IO_L5N_T0_32	AJ17
DDR3_D18	IO_L2N_T0_32	AH15
DDR3_D19	IO_L4P_T0_32	AF15
DDR3_D20	IO_L4N_T0_32	AG14
DDR3_D21	IO_L5P_T0_32	AH17
DDR3_D22	IO_L2P_T0_32	AG15
DDR3_D23	IO_L1P_T0_32	AK16
DDR3_D24	IO_L19P_T3_32	AE15
DDR3_D25	IO_L24P_T3_32	Y16
DDR3_D26	IO_L22P_T3_32	AC14
DDR3_D27	IO_L20P_T3_32	AA15
DDR3_D28	IO_L23P_T3_32	AA17
DDR3_D29	IO_L22N_T3_32	AD14
DDR3_D30	IO_L23N_T3_32	AA16
DDR3_D31	IO_L20N_T3_32	AB15
DDR3_D32	IO_L22N_T3_34	AK6
DDR3_D33	IO_L23P_T3_34	AJ8
DDR3_D34	IO_L22P_T3_34	AJ6
DDR3_D35	IO_L19P_T3_34	AF8

DDR3信号名称	FPGA 管脚名称	FPGA 管脚位号
DDR3_D36	IO_L24N_T3_34	AK4
DDR3_D37	IO_L23N_T3_34	AK8
DDR3_D38	IO_L24P_T3_34	AK5
DDR3_D39	IO_L20N_T3_34	AG7
DDR3_D40	IO_L10P_T1_34	AE4
DDR3_D41	IO_L8N_T1_34	AF1
DDR3_D42	IO_L11P_T1_SRCC_34	AE5
DDR3_D43	IO_L8P_T1_34	AE1
DDR3_D44	IO_L12P_T1_MRCC_34	AF6
DDR3_D45	IO_L10N_T1_34	AE3
DDR3_D46	IO_L11N_T1_SRCC_34	AF5
DDR3_D47	IO_L7N_T1_34	AF2
DDR3_D48	IO_L13P_T2_MRCC_34	AH4
DDR3_D49	IO_L16N_T2_34	AJ2
DDR3_D50	IO_L14N_T2_SRCC_34	AH5
DDR3_D51	IO_L13N_T2_MRCC_34	AJ4
DDR3_D52	IO_L16P_T2_34	AH2
DDR3_D53	IO_L17N_T2_34	AK1
DDR3_D54	IO_L14P_T2_SRCC_34	AH6
DDR3_D55	IO_L17P_T2_34	AJ1
DDR3_D56	IO_L2P_T0_34	AC2
DDR3_D57	IO_L4P_T0_34	AC5
DDR3_D58	IO_L1N_T0_34	AD3
DDR3_D59	IO_L6P_T0_34	AC7
DDR3_D60	IO_L5N_T0_34	AE6

DDR3信号名称	FPGA 管脚名称	FPGA 管脚位号
DDR3_D61	IO_L5P_T0_34	AD6
DDR3_D62	IO_L2N_T0_34	AC1
DDR3_D63	IO_L4N_T0_34	AC4
DDR3_DM0	IO_L16P_T2_32	AA18
DDR3_DM1	IO_L12P_T1_MRCC_32	AF17
DDR3_DM2	IO_L6P_T0_32	AE16
DDR3_DM3	IO_L24N_T3_32	Y15
DDR3_DM4	IO_L20P_T3_34	AF7
DDR3_DM5	IO_L7P_T1_34	AF3
DDR3_DM6	IO_L18P_T2_34	AJ3
DDR3_DM7	IO_L1P_T0_34	AD4
DDR3_DQS0_P	IO_L15P_T2_DQS_32	Y19
DDR3_DQS0_N	IO_L15N_T2_DQS_32	Y18
DDR3_DQS1_P	IO_L9P_T1_DQS_32	AJ18
DDR3_DQS1_N	IO_L9N_T1_DQS_32	AK18
DDR3_DQS2_P	IO_L3P_T0_DQS_32	AH16
DDR3_DQS2_N	IO_L3N_T0_DQS_32	AJ16
DDR3_DQS3_P	IO_L21P_T3_DQS_32	AC16
DDR3_DQS3_N	IO_L21N_T3_DQS_32	AC15
DDR3_DQS4_P	IO_L21P_T3_DQS_34	AH7
DDR3_DQS4_N	IO_L21N_T3_DQS_34	AJ7
DDR3_DQS5_P	IO_L9P_T1_DQS_34	AG4
DDR3_DQS5_N	IO_L9N_T1_DQS_34	AG3
DDR3_DQS6_P	IO_L15P_T2_DQS_34	AG2
DDR3_DQS6_N	IO_L15N_T2_DQS_34	AH1

DDR3信号名称	FPGA 管脚名称	FPGA 管脚位号
DDR3_DQS7_P	IO_L3P_T0_DQS_34	AD2
DDR3_DQS7_N	IO_L3N_T0_DQS_34	AD1
DDR3_A0	IO_L1P_T0_33	AA12
DDR3_A1	IO_L1N_T0_33	AB12
DDR3_A2	IO_L2P_T0_33	AA8
DDR3_A3	IO_L2N_T0_33	AB8
DDR3_A4	IO_L3P_T0_DQS_33	AB9
DDR3_A5	IO_L3N_T0_DQS_33	AC9
DDR3_A6	IO_L6N_T0_VREF_33	AB13
DDR3_A7	IO_L4N_T0_33	Y10
DDR3_A8	IO_L5P_T0_33	AA11
DDR3_A9	IO_L5N_T0_33	AA10
DDR3_A10	IO_L6P_T0_33	AA13
DDR3_A11	IO_L8P_T1_33	AD8
DDR3_A12	IO_L7P_T1_33	AB10
DDR3_A13	IO_L7N_T1_33	AC10
DDR3_A14	IO_L15P_T2_DQS_33	AJ9
DDR3_BA0	IO_L8N_T1_33	AE8
DDR3_BA1	IO_L9P_T1_DQS_33	AC12
DDR3_BA2	IO_L9N_T1_DQS_33	AC11
DDR3_WE	IO_L10P_T1_33	AD9
DDR3_RAS	IO_L10N_T1_33	AE9
DDR3_CAS	IO_L11P_T1_SRCC_33	AE11
DDR3_S0	IO_L11N_T1_SRCC_33	AF11
DDR3_CKE0	IO_L12P_T1_MRCC_33	AD12

DDR3信号名称	FPGA 管脚名称	FPGA 管脚位号
DDR3_ODT	IO_L12N_T1_MRCC_33	AD11
DDR3_CLK0_P	IO_L13P_T2_MRCC_33	AG10
DDR3_CLK0_N	IO_L13N_T2_MRCC_33	AH10
DDR3_RESET	IO_L4P_T0_33	Y11

2.3 FPGA BANK接口电平选择

核心板上对外的BANK分别为BANK12/13/15/16/17/18,这些BANK的IO均支持1.8V/2.5V/3.3V三种电平可调,默认电平为2.5V。如果需要更换电平,只需要更换对应位置磁珠即可实现调整,核心板BANK电平调节磁珠位置,如下表2-3-1所示。

表2-3-1 BANK电平调节磁珠位号

FPGA BANK	+2.5V	+3.3V	+1.8V
BANK12	L6	L7	L8
BANK13	L3	L4	L5
BANK15	L9	L10	L11
BANK16	L15	L16	L17
BANK17	L12	L13	L14
BANK18	L18	L19	L20

2.4 QSPI Flash

开发板配有一片128Mbit大小的Quad-SPI Flash芯片,型号为N25Q128,它使用3.3V CMOS电压标准。由于QSPI FLASH的非易失特性,在使用中,它可以存储FPGA的配置Bin文件以及其它的用户数据文件。

表2-4-1

Part Number	Org	Temperature	MaxClock (MHz)	Package
N25Q128	128Mbit	-40°Cto +85°C	108	TBGA24

开发板的QSPI的设计示意图如下图所示：

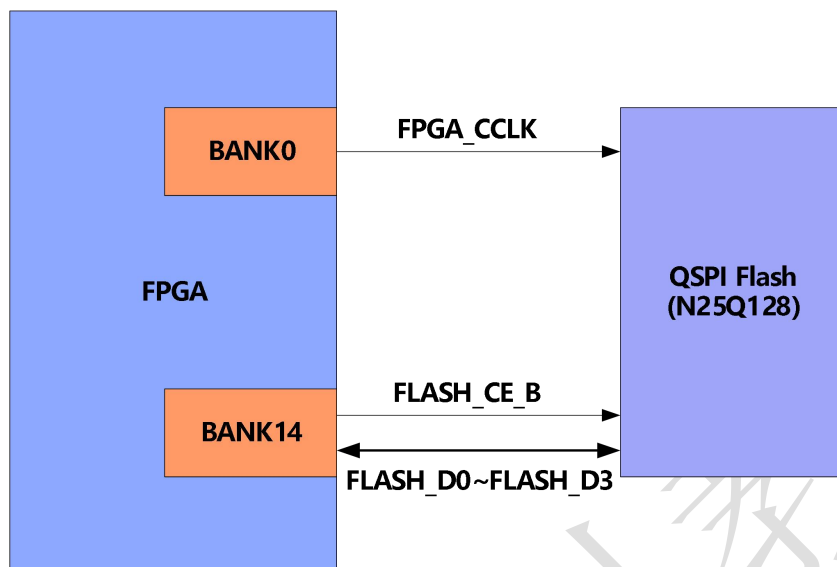


图2-4-1 开发板的QSPI的设计示意图

核心板的QSPI Flash实物如下图所示：

图2-4-2 核心板的QSPI Flash实物

QSPI Flash管脚分配配置表如表2-4-2所示。

表2-4-2 QSPI Flash管脚配置表

QSPI Flash 信号名称	FPGA 管脚名	FPGA 管脚位号
FPGA_CCLK	CCLK_0	B10
FLASH_CE_B	IO_L6P_T0_FCS_B_14	U19
FLASH_D0	IO_L1P_T0_D00_MOSI_14	P24
FLASH_D1	IO_L1N_T0_D01_DIN_14	R25
FLASH_D2	IO_L2P_T0_D02_14	R20
FLASH_D3	IO_L2N_T0_D03_14	R21

2.5 核心板时钟

MP5650核心板为了准确适配不同用途的时钟频率，板载多个时钟源。其中包括200MHz的系统差分时钟源SiT9102差分晶振，还包括125MHz的GTX差分时钟源。

钟源SiT9102差分晶振。SiT9102是一款高精度、超低相噪的晶振，非常适合作为高速信号处理系统的时钟源最后，为了缩短大容量FPGA芯片的下载配置时间，板卡还配有66MHz的EMCCLK，用户可以配置使用该时钟，配合QSPI×4模式，从而大大提高FPGA的配置效率。

2.5.1 FPGA 系统时钟源

板上提供了一个差分200MHz 的FPGA 系统时钟源，晶振输出连接到FPGA BANK33 的全局时钟，这个全局时钟可以用来驱动FPGA 内的DDR3 控制器和用户逻辑电路。该时钟源的原理图如下图所示。

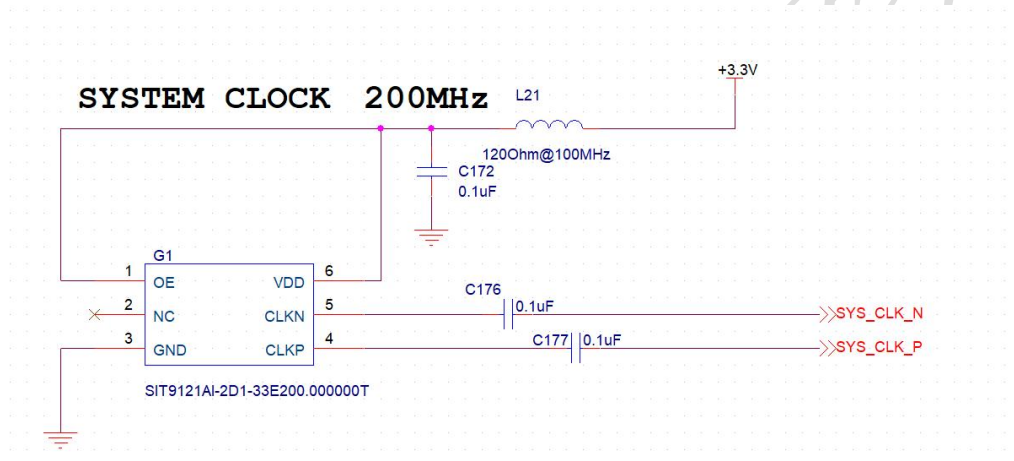


图2-5-1 时钟源的原理图

系统时钟引脚分配：

信号名称	FPGA 管脚位号
SYS_CLK_P	AE10
SYS_CLK_N	AF10

2.5.2 GTX时钟

核心板上为GTX收发器提供了125MHz的参考时钟。参考时钟连接到BANK116。该时钟源的原理图如下图所示。

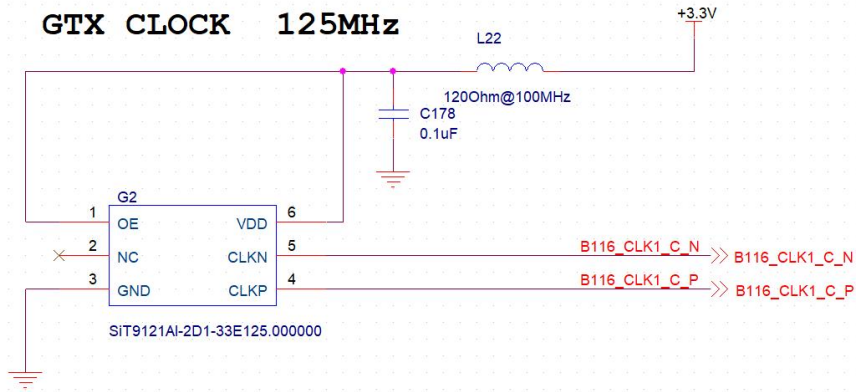


图2-5-2 GTX时钟源的原理图

GTX BANK116时钟源FPGA引脚配置：

信号名称	FPGA管脚位号
BANK116_CLK1_P	N8
BANK116_CLK1_N	N7

2.5.3 EMCCLK时钟

核心板上为EMCCLK提供了66MHz的参考时钟。参考时钟连接到EMCCLK。该时钟源的原理图如下图所示。

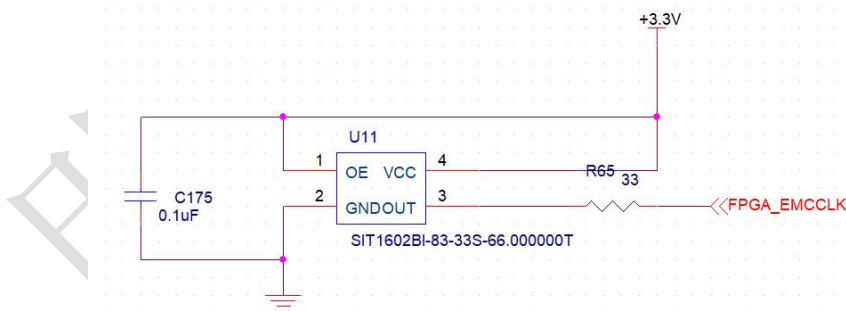


图2-5-3 EMCCLK时钟源的原理图

EMCCLK时钟源FPGA引脚配置：

信号名称	FPGA 管脚位号
FPGA_EMCCLK	K24

2.6 JTAG调试口

MP5650核心板板载了一个6PIN的贴片JTAG下载调试接口,方便用户单独调试FPGA。

核心板的JTAG接口连接示意如下图所示:

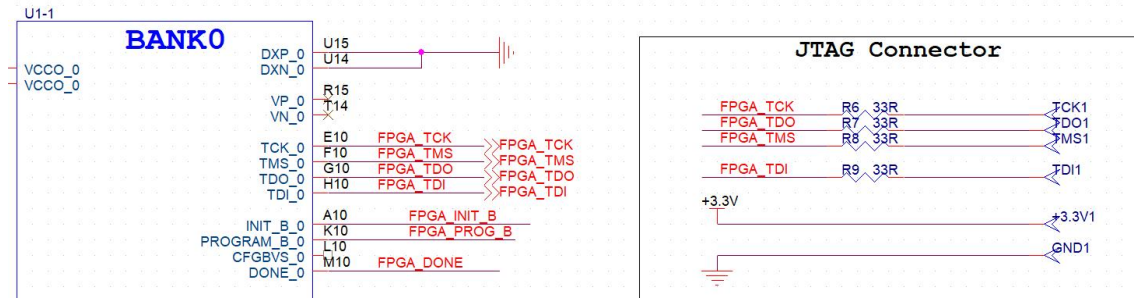


图2-6-1 核心板的JTAG接口连接示意

核心板JTAG接口实物如下图所示:

图2-6-2 核心板JTAG接口实物

2.7 系统复位

MP5650核心板支持上电复位,复位整个芯片,同时配合按键也为系统提供全局复位信号。

2.7.1 核心板上电复位

信号连接示意如下图所示,通过PROGRAM_B管脚实现复位。



图2-7-1 信号连接示意如下图

2.7.2 核心板按键复位

通过按键U4实现全局复位，高电平复位。该管脚接在了BANK 33的AH11管脚上。

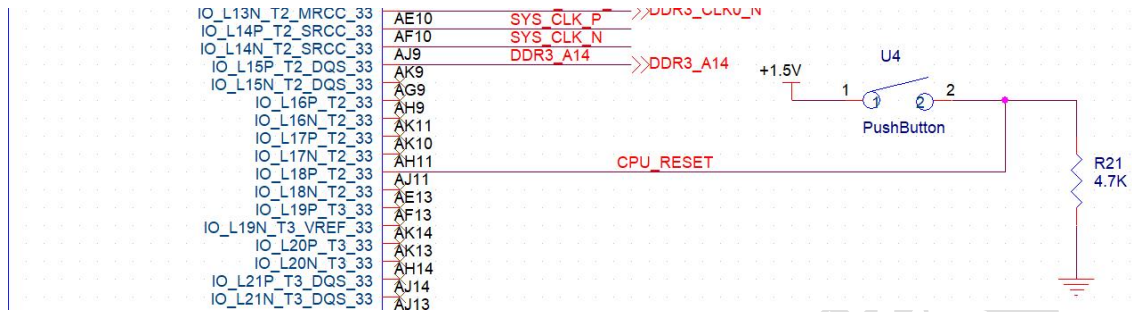


图2-7-2

2.8 LED灯

核心板上有6个红色LED灯，其中1个是配置LED灯(DONE)，当FPGA 配置程序后，配置LED灯会亮起。1个是电源指示灯(Power LED)，上电成功电源指示灯会亮起。另外还有4个信号指示灯，与FPGA IO管脚直接相连，高电平灯亮。LED灯硬件连接的示意图如下图所示。

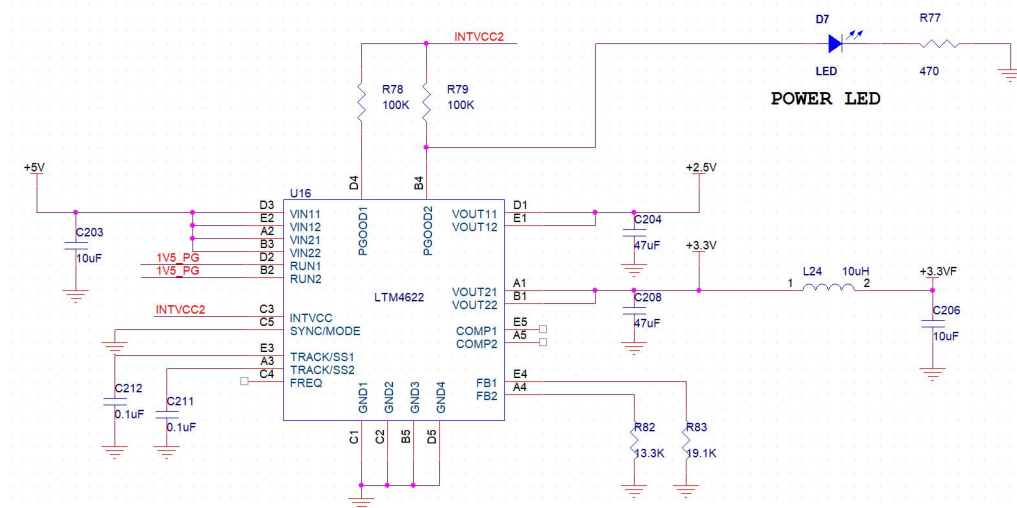


图2-8-1 LED灯硬件连接的示意图（1）

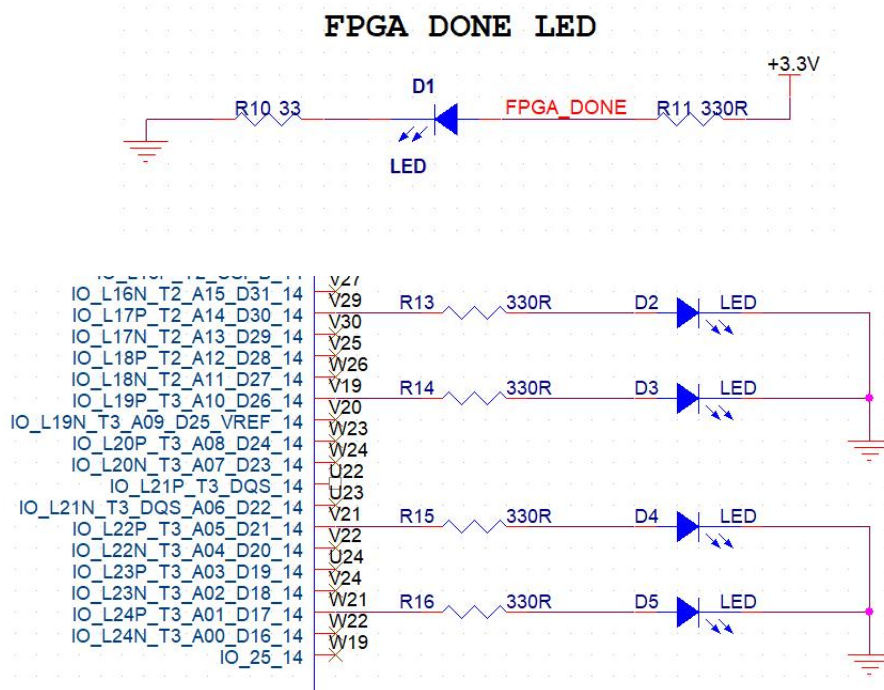


图2-8-2 LED灯硬件连接的示意图（2）

2.9 核心板电源

核心板集成电源管理，+5—+12V电源输入通过TI 电源芯片LTM4628 产生两路 1.0V 的电源，其中一路为FPGA的核心提供稳定的电源，另一路为GTX的MGTAVCC提供稳定的电源，LTM4628输出电流高达8A，满足FPGA电流需求。+5—+12V电源输入通过TI 电源芯片LTM4622分别产生+1.5V、+1.8V、+2.5V、+3.3V电压，单片LTM4622有两路电源输出，所以需要2片LTM4622。LTM4622为VCCAUX、VCCIO、DDR3、晶振、FLASH等供电。+1.5V电压经过TPS74401RGWT转换为1.2V直流，为MGTAVTT提供1.2V的电压。+3.3V电压经过SPX3819M5-1-8转换为1.8V直流，为MGTVCCAUX提供1.8V的电压。

官方时序要求如下：

Power-On/Off Power Supply Sequencing

The recommended power-on sequence is V_{CCINT} , V_{CCBRAM} , V_{CCAUX} , V_{CCAUX_IO} , and V_{CCO} to achieve minimum current draw and ensure that the I/Os are 3-stated at power-on. The recommended power-off sequence is the reverse of the power-on sequence. If V_{CCINT} and V_{CCBRAM} have the same recommended voltage levels then both can be powered by the same supply and ramped simultaneously. If V_{CCAUX} , V_{CCAUX_IO} , and V_{CCO} have the same recommended voltage levels then they can be powered by the same supply and ramped simultaneously.

图2-9-1 官方时序要求

核心板供电架构如下图所示：

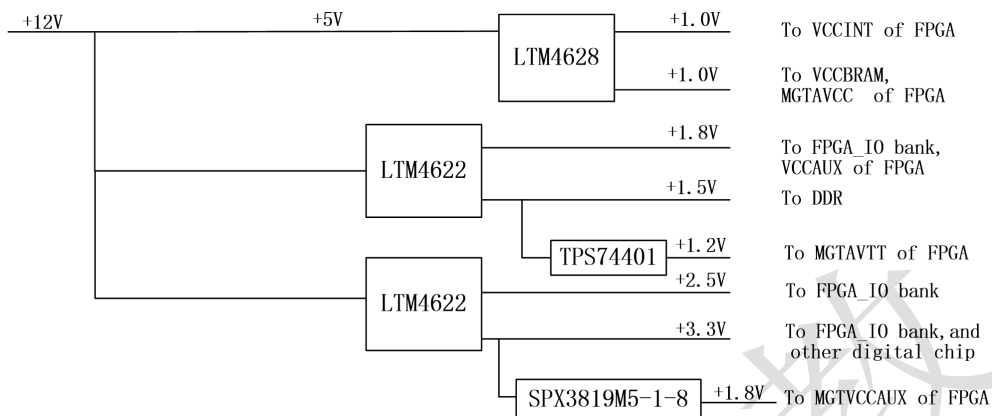


图2-9-2 核心板供电架构

电源分配如下表：

电源	供电区域
+1.0V	FPGA INT内核电压、MGTAVCC
ADJ_VCCIO	默认2.5V(1.8V-3.3V 可调)
+1.8V	MGTVCCAUX、VCCAUX
+1.2V	MGTAVTT
+1.5V	BANK32,33,34、DDR3
+3.3V	BANK0、BANK14、其他板上芯片
DDR_VTT	0.75V

2.10 EEPROM

M24C02-WMN6TP是基于I2C总线的EEPROM存储器件，遵循二线制协议，它具有接口方便，体积小，数据掉电不丢失等特点。EEPROM硬件连接的示意图如下图所示。

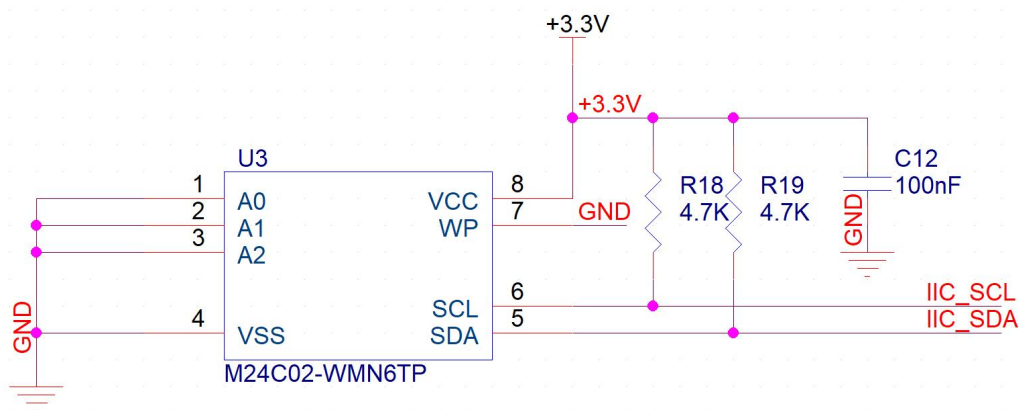


图2-10-1 EEPROM硬件连接的示意图

EEPROM与FPGA引脚配置

信号名称	FPGA 管脚位号
IIC_SCL	T25
IIC_SDA	U25

2.11 核心板启动方式

核心板支持两种启动模式，分别是JTAG、QSPI Flash。默认为QSPI Flash启动。

2.12 连接器管脚定义

核心板一共扩展出4个高速扩展口，使用4个120Pin的板间连接器（J1~J4）和底板连接，连接器使用松下的AXK5A2137YG，对应底板的连接器型号为AXK6A2337YG。其中J1连接JTAG和BANK17,BANK18的IO, J2连接BANK15, BANK16的IO, J3连接BANK12和BANK13的IO和+5V电源, J4连接GTX的收发器信号。

J1连接器的引脚分配:

J1管脚	信号名称	FPGA引脚号	J1管脚	信号名称	FPGA引脚号
1	B18_L12_P	G13	2	B18_L10_P	H11

J1管脚	信号名称	FPGA引脚号	J1管脚	信号名称	FPGA引脚号
3	B18_L12_N	F13	4	B18_L10_N	H12
5	B18_L4_P	K13	6	B18_L16_P	F11
7	B18_L4_N	J13	8	B18_L16_N	E11
9	GND		10	GND	
11	B18_L18_P	D11	12	B18_L7_P	H15
13	B18_L18_N	C11	14	B18_L7_N	G15
15	B18_L13_P	D12	16	B18_L6_P	L11
17	B18_L13_N	D13	18	B18_L6_N	K11
19	GND		20	GND	
21	B18_L2_P	L15	22	B18_L19_P	F15
23	B18_L2_N	K15	24	B18_L19_N	E16
25	B18_L8_P	J11	26	B18_L15_P	C12
27	B18_L8_N	J12	28	B18_L15_N	B12
29	GND		30	GND	
31	B18_L22_P	B13	32	B18_L11_P	H14
33	B18_L22_N	A13	34	B18_L11_N	G14
35	B18_L14_P	F12	36	B18_L17_P	A11
37	B18_L14_N	E13	38	B18_L17_N	A12
39	GND		40	GND	
41	B18_L3_P	L12	42	B18_L24_P	B14
43	B18_L3_N	L13	44	B18_L24_N	A15
45	B18_L1_P	L16	46	B18_L5_P	K14
47	B18_L1_N	K16	48	B18_L5_N	J14
49	GND		50	GND	
51	B18_L21_P	D14	52	B18_L20_P	E14

J1管脚	信号名称	FPGA引脚号	J1管脚	信号名称	FPGA引脚号
53	B18_L21_N	C14	54	B18_L20_N	E15
55	B18_L9_P	J16	56	B18_L23_P	C15
57	B18_L9_N	H16	58	B18_L23_N	B15
59	GND		60	GND	
61	B17_L18_P	G17	62	B17_L20_P	A16
63	B17_L18_N	F17	64	B17_L20_N	A17
65	B17_L3_P	J17	66	B17_L16_P	G18
67	B17_L3_N	H17	68	B17_L16_N	F18
69	GND		70	GND	
71	B17_L15_P	D16	72	B17_L12_P	F20
73	B17_L15_N	C16	74	B17_L12_N	E20
75	B17_L5_P	L17	76	B17_L22_P	B18
77	B17_L5_N	L18	78	B17_L22_N	A18
79	GND		80	GND	
81	B17_L1_P	K18	82	B17_L19_P	C20
83	B17_L1_N	J18	84	B17_L19_N	B20
85	B17_L14_P	E19	86	B17_L13_P	D17
87	B17_L14_N	D19	88	B17_L13_N	D18
89			90		
91	B17_L17_P	C17	92	B17_L4_P	J19
93	B17_L17_N	B17	94	B17_L4_N	H19
95	B17_L6_P	K19	96	B17_L2_P	H20
97	B17_L6_N	K20	98	B17_L2_N	G20
99	GND		100	GND	
101	B17_L8_P	D21	102	B17_L11_P	F21

J1管脚	信号名称	FPGA引脚号	J1管脚	信号名称	FPGA引脚号
103	B17_L8_N	C21	104	B17_L11_N	E21
105	B17_L7_P	H21	106	B17_L21_P	A20
107	B17_L7_N	H22	108	B17_L21_N	A21
109	GND		110	GND	
111	B17_L10_P	D22	112	FPGA_TCK	E10
113	B17_L10_N	C22	114	FPGA_TMS	F10
115	B17_L9_P	G22	116	FPGA_TDO	G10
117	B17_L9_N	F22	118	FPGA_TDI	H10
119	GND		120	GND	

J2连接器的引脚分配:

J2管脚	信号名称	FPGA引脚号	J2管脚	信号名称	FPGA引脚号
1	B16_L14_P	E28	2	B16_L1_P	B23
3	B16_L14_N	D28	4	B16_L1_N	A23
5	B16_L18_P	E29	6	B16_L8_P	C24
7	B16_L18_N	E30	8	B16_L8_N	B24
9	GND		10	GND	
11	B16_L6_P	G23	12	B16_L10_P	A25
13	B16_L6_N	G24	14	B16_L10_N	A26
15	B16_L23_P	H26	16	B16_L11_P	D26
17	B16_L23_N	H27	18	B16_L11_N	C26
19	GND		20	GND	
21	B16_L15_P	C29	22	B16_L12_P	C25
23	B16_L15_N	B29	24	B16_L12_N	B25
25	B16_L20_P	G28	26	B16_L3_P	F25
27	B16_L20_N	F28	28	B16_L3_N	E25

J2管脚	信号名称	FPGA引脚号	J2管脚	信号名称	FPGA引脚号
29	GND		30	GND	
31	B16_L5_P	F26	32	B16_L7_P	B27
33	B16_L5_N	E26	34	B16_L7_N	A27
35	B16_L24_P	H30	36	B16_L13_P	D27
37	B16_L24_N	G30	38	B16_L13_N	C27
39	GND		40	GND	
41	B16_L21_P	G27	42	B16_L2_P	E23
43	B16_L21_N	F27	44	B16_L2_N	D23
45	B16_L19_P	H24	46	B16_L9_P	B28
47	B16_L19_N	H25	48	B16_L9_N	A28
49	GND		50	GND	
51	B16_L22_P	G29	52	B16_L17_P	B30
53	B16_L22_N	F30	54	B16_L17_N	A30
55	B16_L4_P	E24	56	B16_L16_P	D29
57	B16_L4_N	D24	58	B16_L16_N	C30
59	GND		60	GND	
61	B15_L10_P	K26	62	B15_L8_P	J27
63	B15_L10_N	J26	64	B15_L8_N	J28
65	B15_L11_P	L26	66	B15_L13_P	K28
67	B15_L11_N	L27	68	B15_L13_N	K29
69	GND		70	GND	
71	B15_L2_P	L22	72	B15_L7_P	J29
73	B15_L2_N	L23	74	B15_L7_N	H29
75	B15_L18_P	N25	76	B15_L3_P	K23
77	B15_L18_N	N26	78	B15_L3_N	K24

J2管脚	信号名称	FPGA引脚号	J2管脚	信号名称	FPGA引脚号
79	GND		80	GND	
81	B15_L9_P	L30	82	B15_L1_P	J23
83	B15_L9_N	K30	84	B15_L1_N	J24
85	B15_L12_P	L25	86	B15_L17_P	N29
87	B15_L12_N	K25	88	B15_L17_N	N30
89	GND		90	GND	
91	B15_L14_P	M28	92	B15_L5_P	J21
93	B15_L14_N	L28	94	B15_L5_N	J22
95	B15_L21_P	P23	96	B15_L24_P	M22
97	B15_L21_N	N24	98	B15_L24_N	M23
99	GND		100	GND	
101	B15_L20_P	N21	102	B15_L4_P	L21
103	B15_L20_N	N22	104	B15_L4_N	K21
105	B15_L22_P	P21	106	B15_L16_P	N27
107	B15_L22_N	P22	108	B15_L16_N	M27
109	GND		110	GND	
111	B15_L23_P	M24	112	B15_L15_P	M29
113	B15_L23_N	M25	114	B15_L15_N	M30
115	B15_L6_P	M20	116	B15_L19_P	N19
117	B15_L6_N	L20	118	B15_L19_N	N20
119	GND		120	GND	

J3连接器的引脚分配:

J3管脚	信号名称	FPGA引脚号	J3管脚	信号名称	FPGA引脚号
1	B13_L11_P	AD27	2	B13_L7_P	AC29
3	B13_L11_N	AD28	4	B13_L7_N	AC30

J3管脚	信号名称	FPGA引脚号	J3管脚	信号名称	FPGA引脚号
5	B13_L16_P	AE30	6	B13_L14_P	AE28
7	B13_L16_N	AF30	8	B13_L14_N	AF28
9	GND		10	GND	
11	B13_L21_P	AG27	12	B13_L2_P	W27
13	B13_L21_N	AG28	14	B13_L2_N	W28
15	B13_L13_P	AG29	16	B13_L17_P	AJ28
17	B13_L13_N	AH29	18	B13_L17_N	AJ29
19	GND		20	GND	
21	B13_L8_P	Y30	22	B13_L18_P	AG30
23	B13_L8_N	AA30	24	B13_L18_N	AH30
25	B13_L22_P	AH26	26	B13_L15_P	AK29
27	B13_L22_N	AH27	28	B13_L15_N	AK30
29	GND		30	GND	
31	B13_L23_P	AF26	32	B13_L4_P	W29
33	B13_L23_N	AF27	34	B13_L4_N	Y29
35	B13_L19_P	AC26	36	B13_L24_P	AJ26
37	B13_L19_N	AD26	38	B13_L24_N	AK26
39	GND		40	GND	
41	B13_L20_P	AJ27	42	B13_L9_P	AD29
43	B13_L20_N	AK28	44	B13_L9_N	AE29
45	B13_L10_P	AB29	46	B13_L6_P	AA25
47	B13_L10_N	AB30	48	B13_L6_N	AB25
49	GND		50	GND	
51	B13_L12_P	AB27	52	B13_L5_P	AA27
53	B13_L12_N	AC27	54	B13_L5_N	AB28

J3管脚	信号名称	FPGA引脚号	J3管脚	信号名称	FPGA引脚号
55	B13_L1_P	Y26	56	B13_L3_P	Y28
57	B13_L1_N	AA26	58	B13_L3_N	AA28
59	GND		60	GND	
61	B12_L15_P	AJ24	62	B12_L18_P	AG25
63	B12_L15_N	AK25	64	B12_L18_N	AH25
65	B12_L17_P	AK23	66	B12_L7_P	AB24
67	B12_L17_N	AK24	68	B12_L7_N	AC25
69	GND		70	GND	
71	B12_L14_P	AG24	72	B12_L9_P	AC24
73	B12_L14_N	AH24	74	B12_L9_N	AD24
75	B12_L8_P	AC22	76	B12_L16_P	AE25
77	B12_L8_N	AD22	78	B12_L16_N	AF25
79	GND		80	GND	
81	B12_L12_P	AD23	82	B12_L1_P	Y23
83	B12_L12_N	AE24	84	B12_L1_N	Y24
85	B12_L4_P	AA22	86	B12_L3_P	AB22
87	B12_L4_N	AA23	88	B12_L3_N	AB23
89	GND		90	GND	
91	B12_L11_P	AE23	92	B12_L5_P	AC20
93	B12_L11_N	AF23	94	B12_L5_N	AC21
95	B12_L6_P	AA20	96	B12_L20_P	AG22
97	B12_L6_N	AB20	98	B12_L20_N	AH22
99	GND		100	GND	
101	B12_L13_P	AF22	102	B12_L10_P	AD21
103	B12_L13_N	AG23	104	B12_L10_N	AE21

J3管脚	信号名称	FPGA引脚号	J3管脚	信号名称	FPGA引脚号
105	B12_L2_P	Y21	106	B12_L19_P	AF20
107	B12_L2_N	AA21	108	B12_L19_N	AF21
109	GND		110	GND	
111	POWER		112	POWER	
113	POWER		114	POWER	
115	POWER		116	POWER	
117	POWER		118	POWER	
119	POWER		120	POWER	

J4连接器的引脚分配:

J4管脚	信号名称	FPGA引脚号	J4管脚	信号名称	FPGA引脚号
1	B115_CLK1_P	U8	2	B115_RX0_P	AA4
3	B115_CLK1_N	U7	4	B115_RX0_N	AA3
5	GND		6	GND	
7	B115_RX3_P	V6	8	B115_TX0_P	Y2
9	B115_RX3_N	V5	10	B115_TX0_N	Y1
11	GND		12	GND	
13	B115_TX2_P	U4	14	B115_RX2_P	W4
15	B115_TX2_N	U3	16	B115_RX2_N	W3
17	GND		18	GND	
19	B115_TX3_P	T2	20	B115_TX1_P	V2
21	B115_TX3_N	T1	22	B115_TX1_N	V1
23	GND		24	GND	
25	B115_CLK0_P	R8	26	B115_RX1_P	Y6
27	B115_CLK0_N	R7	28	B115_RX1_N	Y5
29	GND		30	GND	

J4管脚	信号名称	FPGA引脚号	J4管脚	信号名称	FPGA引脚号
31	B116_RX0_P	T6	32	B116_TX0_P	P2
33	B116_RX0_N	T5	34	B116_TX0_N	P1
35	GND		36	GND	
37	B116_RX1_P	R4	38	B116_TX2_P	M2
39	B116_RX1_N	R3	40	B116_TX2_N	M1
41	GND		42	GND	
43	B116_RX2_P	P6	44	B116_TX3_P	L4
45	B116_RX2_N	P5	46	B116_TX3_N	L3
47	GND		48	GND	
49	B116_TX1_P	N4	50	B116_CLK0_P	L8
51	B116_TX1_N	N3	52	B116_CLK0_N	L7
53	GND		54	GND	
55	B116_RX3_P	M6	56		
57	B116_RX3_N	M5	58		
59	GND		60	GND	
61	B117_CLK1_P	J8	62	B117_TX1_P	J4
63	B117_CLK1_N	J7	64	B117_TX1_N	J3
65	GND		66	GND	
67	B117_RX0_P	K6	68	B117_TX0_P	K2
69	B117_RX0_N	K5	70	B117_TX0_N	K1
71	GND		72	GND	
73	B117_CLK0_P	G8	74	B117_RX2_P	G4
75	B117_CLK0_N	G7	76	B117_RX2_N	G3
77	GND		78	GND	
79	B117_RX1_P	H6	80	B117_TX2_P	H2

J4管脚	信号名称	FPGA引脚号	J4管脚	信号名称	FPGA引脚号
81	B117_RX1_N	H5	82	B117_TX2_N	H1
83	GND		84	GND	
85	B117_RX3_P	F6	86	B117_TX3_P	F2
87	B117_RX3_N	F5	88	B117_TX3_N	F1
89	GND		90	GND	
91	B118_TX2_P	B2	92	B118_CLK1_P	E8
93	B118_TX2_N	B1	94	B118_CLK1_N	E7
95	GND		96	GND	
97	B118_TX3_P	A4	98	B118_RX1_P	D6
99	B118_TX3_N	A3	100	B118_RX1_N	D5
101	GND		102	GND	
103	B118_TX0_P	D2	104	B118_CLK0_P	C8
105	B118_TX0_N	D1	106	B118_CLK0_N	C7
107	GND		108	GND	
109	B118_TX1_P	C4	110	B118_RX2_P	B6
111	B118_TX1_N	C3	112	B118_RX2_N	B5
113	GND		114	GND	
115	B118_RX0_P	E4	116	B118_RX3_P	A8
117	B118_RX0_N	E3	118	B118_RX3_N	A7
119	GND		120	GND	

三、底板选配

3.1 明德扬MP5705-NetSata3



图3-1-1 明德扬MP5705-NetSata3

3.2 明德扬MP5700-光纤底板

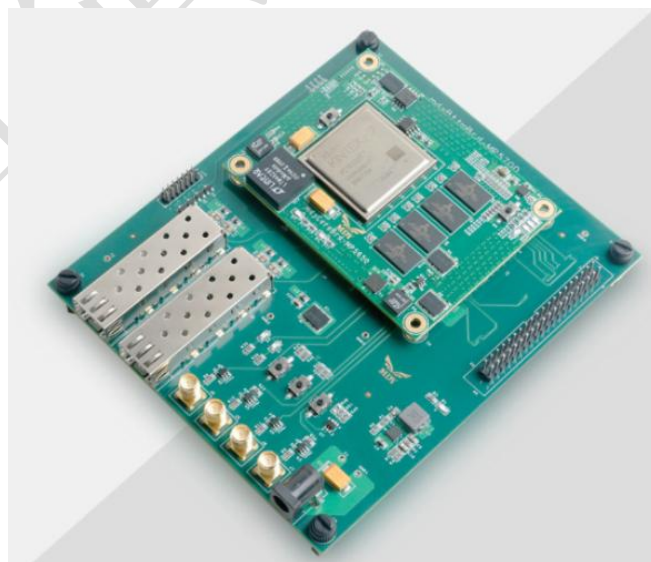


图3-2-1 明德扬MP5700-光纤底板

四、底板设计注意事项

4.1 电源部分PCB设计

电源输入需要铺铜皮连接,打足够的过孔保证通电流能力,但电源电压较高,干扰较大,在保证通流的条件下不要让这个铜皮更大,以免干扰其他信号。GND管脚需要连接到地平面上,且一个地管脚需要打两个过孔,保证通流和充分连接。

4.2 高速接口布局走线

4.2.1 千兆以太网

与RJ45端连接的信号需要保持等长, RGMII接口的TX部分与RX部分需要单独保持等长。

4.2.2 HDMI接口

HDMI接口信号需要走差分,且差分之间需保持等长控制。

4.2.3 其他高速接口

依据接口规范控制。

4.3 LVDS信号

模组的BANK电平可以在+1.8V、+2.5V、+3.3V三种电平之间选择,默认为+2.5V电平。底板的LVDS信号走线需做差分/阻抗控制处理,并且差分之间保持等长。

4.4 GTX信号走线

GTX走线需要考虑的问题比较多,对于有疑问的用户可以联系客服接入技术支持。

五、常见问题

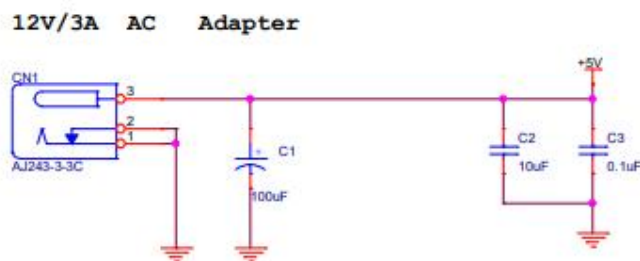
5.1 MP5650核心板功耗概值？

答：功耗跟使用资源有关系，供电是底板直接进核心板的，一个核心板如果12V供电，估计1A左右电流，使用资源多估计就得1-2A了。

5.2 标的12V/3A， 但后面标的是5V， 输入范围是5~12V 都能支持吗？

答：是的，5-12V这个范围内都可以，电压越大，需要的供电电流越小。

如果采用采用5V供电，建议选择最大输出5A的供电电流的电源。因为逻辑资源消耗很多时，担心供电电流不够。



5.3核心板的供电范围是5-12V，意思是这具范围内输入电源都可以，可以稳定地转换到后边，是吗？

答：是的。

5.4同样是电源问题：这里的输入5-12V通过电源接口接入，后面直接写了+5V，这里相当于整个板子（核心加底板）供电，请问具体电压电流是多少？采用5V供电，电流要多大？

答：是的，我们开发板设计之初按5V供电设计的，实际上支持5-12V甚至更高，都没有问题。供电电压越高，所需要电流越小（因为功率是一定的）。未烧录代码时，底板+核心板所需要电流一共300mA左右。烧录代码后，电流就跟FPGA使用的逻辑资源量有关了。建议最大5A输出的电源，比较保险。电流小一点问题也不大，如12V3A。

4.5主要是要确认核心板输入电流电压和底板输入电流电压。

答：供电电压 5-12V这个范围内都可以，电压越大，需要的供电电流越小。核心板上电电流约250mA。逻辑资源消耗越多，所需要的电流越大。FPGA上电，也需要一个较大的启动电流。所以建议选择5A的电源，实际使用根据资源量可能几百mA到2-3安培。地板也是根据选择的芯片种类、数量不同，所需要的电流大小不一样。目前这个地板，电流大约50mA。

4.6底板的作用？

答：可以按自己的需求设计底板，底板也可以做一些工作，比如光纤，还有一些GPIO。

4.7PCB文件是否可以提供？

答：MP5700底板PCB可以提供的，核心板不提供。（网盘资料里面有）

4.8核心板 和底板 有没有做防反插设计？

答：为了对称好看，防插返没弄，J1-J4是一一对应的

4.9我们了解到这两个型号的板对板连接器现在货源紧张，贵公司能否提供采购支持？

答：目前货源比较充足，价格也比去年下降，我们公司可以提供。不用担心货源问题。

4.10GTX的TX 和 RX 交叉对接就可以了？不需要同步时钟吗？

答：不需要的 时钟嵌入到数据里了

4.11默认QSPI FLASH启动，那么这里如果使用JTAG启动的话，是否是直接进行烧录程序，会自动跳转JTAG，还是需要跳线帽之类的操作？

答：是自动跳转JTAG，不需要跳线等操作。

4.12这里提到一个贴片JTAG接口，能否提供封装？

答：提供的是一排间距为1mm的长方形焊盘，可以自己焊接线缆引出。

4.13软件是用什么版本的呀？

答：Cadence 16.7

4.14这16对GTX接口是包含在276个里面的数量吗？

答： 276个普通IO + 16对GTX接口

4.15核心板LVDS的数量

答： 276个普通IO 就是LVDS的数量

4.16核心板的IO扇出是等距的吗？

答： K7核心板的，每个BANK，其IO都是等距的

4.17千兆以太网都有哪些模式？

答： 常用的GMII、RMII、SGMII

4.18如果不适用核心板上的DDR，200M的差分时钟是不是可以调整，比如说100M或150M

答： 可以调整的，用户根据自己需要做

4.19EMCCLK是做什么的，不使用这部分功能，这个时钟是不是可以不添加

答： 可以不添加

4.20如果GTX 这个是做什么用的，如果做千兆以太网通讯，是否用到这个；如果不用GTX相关的，这个时钟是不是可以不添加

答： 可以不添加

4.21这个核心板上电和我的主控芯片上电有没有什么要求

答： 上电要求和上电顺序没有要求

4.22 DDR3是否可以跑1600m

410T/325T都可以

4.23 MP5650+5705可以跑神经网络吗？

可以的，神经网络在zynq跑会比较好，

纯fpga可以跑，只是输出这块会麻烦一些，输出无非就是网口，咱们有网口例程

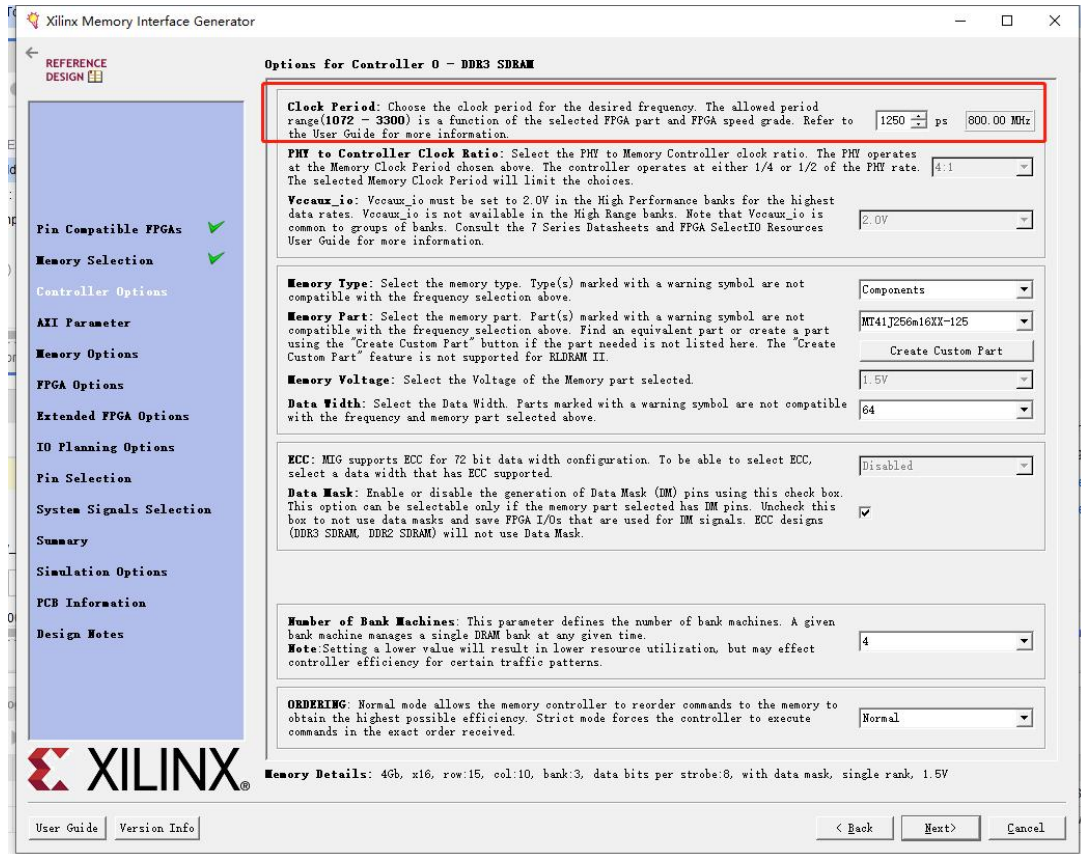
7z045比325只是多了两个a9的核，pl侧的资源都是一样的

4.24FPGA如何读取数据

答：fpga是可以直接读取，但是需要自己设计sata的核，这块我们例程，只是保留硬件接口

4.25规格书里写了DDR3支持2种速率800M和933M，能否支持降频跑？

答：支持降频跑，在DDR3 IP核里按下进行设置。但我们提供的板子是支持800M速率的，不必降频。



六、技术支持

在使用开发板遇到问题时，工作人员将通过电话，远程，Email 邮件,技术论坛，QQ、微信群等交流途径，提供全方位的技术支持。

售后：开发板保修期为 6 个月，全国统一服务热线：020-39002701，QQ：1241003385 吴老师。

七、更多帮助

1、明德扬官网：新版<http://www.mdy-edu.com/> 旧版<http://old.mdy-edu.com/>

- 2、客服热线：13316124179（微信同步）
- 3、论坛：www.fpgabbs.com
- 4、线上商城：
 - (1) mdy-edu.taobao.com
 - (2) shop247359875.taobao.com
- 5、FPGA交流群：603926119
- 6.明德扬微信公众号：

