



用户手册

MP5659核心板

明德扬科教

2023年11月30日

文档版本

版本	修改记录
REV1.0	创建文档

目录

文档版本	1
一、开发板简介	4
1.1 产品简介	4
1.2 产品规格	5
1.4 产品结构尺寸图	5
1.5 产品外观图	7
二、MP5659核心板使用手册详细介绍	7
2.1 FPGA 芯片	7
2.2 FPGA BANK 接口电平选择	9
2.3 QSPI Flash	9
2.4 核心板时钟	10
2.5 JTAG 调试口	11
2.6 Flash 配置接口	12
2.7 系统复位	12
2.8 核心板电源	13
2.9 核心板启动方式	14
2.10 槽形孔管脚定义	14
三、底板设计注意事项	17
3.1 电源部分 PCB 设计	17
3.2 LVDS 信号	17
四、技术支持	17
五、更多帮助	18

明德扬科技

一、开发板简介

1.1 产品简介

MP5659 核心板采用 LATTICE 公司 CrossLink-NX 系列的 LIFCL-17-7MG121C 作为主控制器，核心板采用 88 个槽形孔与母板连接，其中 GPIO 信号 54 个，D-PHY 信号 20 个，电源和地 14 个。这款 MP5659 核心板能够方便用户对核心板的二次开发利用。

整个开发系统的结构示意图如下图所示：

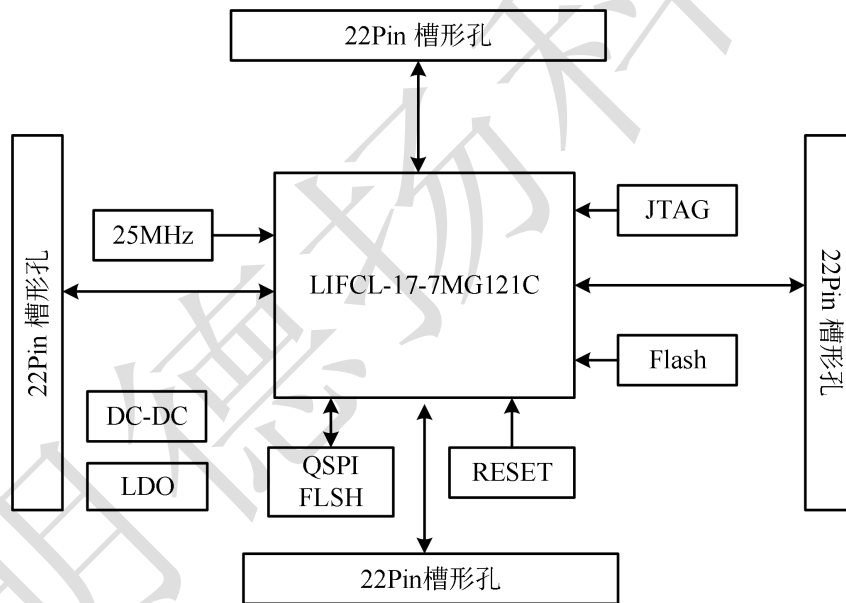


图1-1-1 开发系统的结构示意图

通过以上示意图，我们可以看到，我们这个核心板开发平台所能含有的接口和功能。

这款核心板的 BANK3、BANK4、BANK5 的全部 I/O 的电平可以通过更换核心板上的磁珠来修改，满足用户对 +1.2V、+1.8V

电平接口的需求；另外核心板也扩展出了8对高速D-PHY接口。对于需要大量IO的用户，此核心板将是不错的选择。而且IO连接部分，同一个BANK管脚到连接器接口之间走线做了等长和差分处理，对于二次开发来说，非常适合。

1.2 产品规格

MP5659核心板规格	
FPGA主控制器	LIFCL-17-7MG121C
Flash	128MB
启动方式	JTAG/ Flash
用户RESET	低电平复位
IO数量	54个（全部BANK电平1.8/1.2V可调）
D-PHY接口数量	2个BANK、各4对
工作电压/最大电流	12V/1A
核心板尺寸、工艺	66×54mm、沉金工艺
工作温度	-40°C~+85°C

1.4 产品结构尺寸图

核心板结构尺寸图：66 (mm) x54 (mm)， PCB： 6 层。

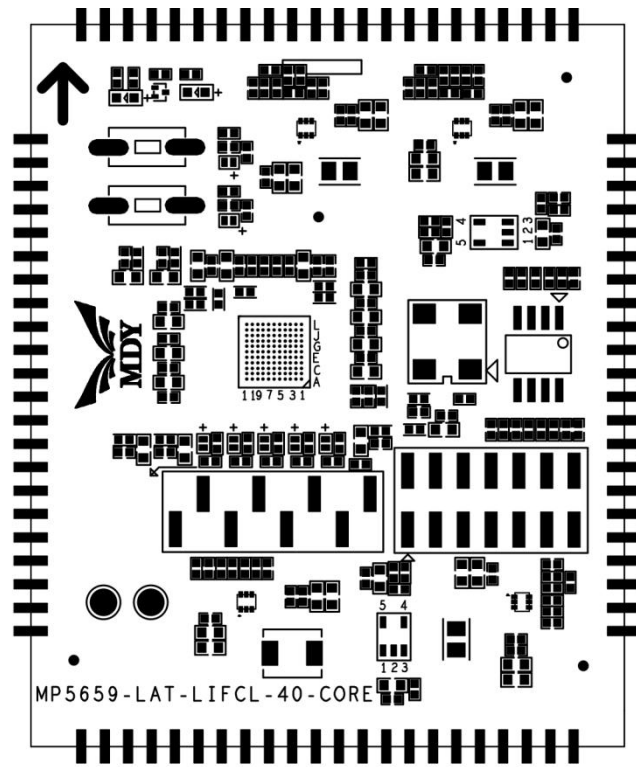
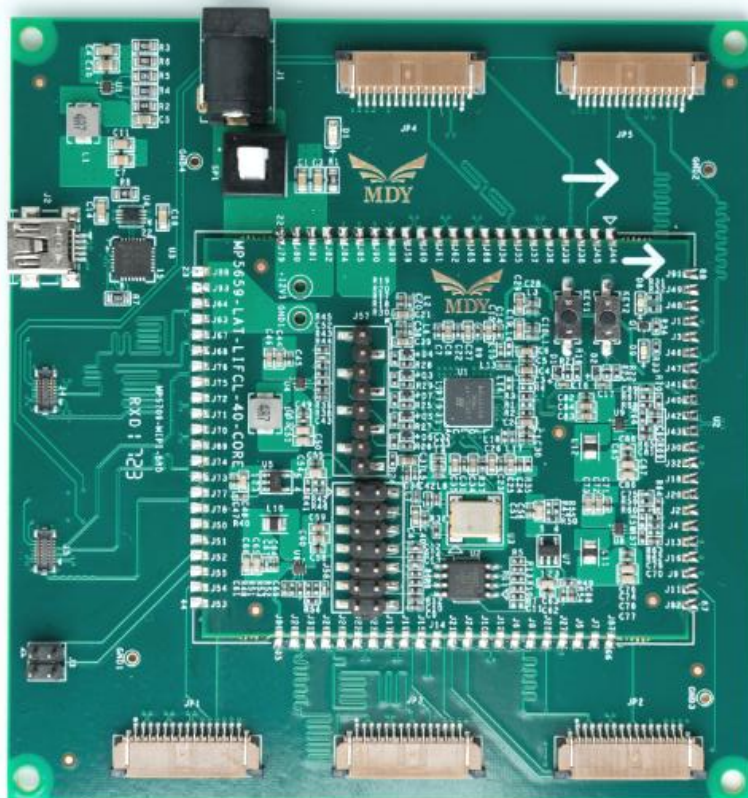


图1 MP5659核心板尺寸图

1.5 产品外观图



二、MP5659核心板使用手册详细介绍

2.1 FPGA芯片

核心板使用的是LATTICE公司CrossLink-NX系列的FPGA芯片，芯片型号LIFCL-17-7MG121C。速度等级为7，温度等级为工业级。此型号为BGA封装，121个引脚，引脚间距为0.5mm。LIFCL-17-7MG121C FPGA的BANK分布和芯片实物如下图2-1、2-2所示：

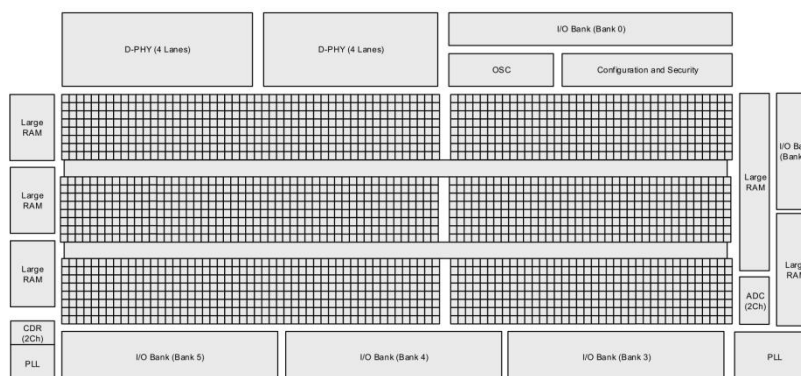


图2-1 LIFCL-17-7MG121C FPGA BANK分布



LIFCL-17-7MG121C FPGA芯片实物图

LIFCL-17-7MG121C主要参数表:

名称	详细参数
管脚(I/O)	121
Logic Cells	17K
Embedded Memory (EBR) Blocks (18 Kb)	24
Embedded Memory (EBR) Bits (Kb)	432
Distributed RAM Bits (Kb)	80
Large Memory (LRAM) Blocks	5
Large Memory (LRAM) Bits (Kb)	2560
18 X 18 Multipliers	24
ADC Blocks	2

450 MHz High Frequency Oscillator	1
128 KHz Low Power Oscillator	1
GPLL	2
Hardened 10 Gbps D-PHY Quads	2
Hardened 2.5 Gbps D-PHY Data Lanes (total)	8
速度等级(Speed Grade)	-2 (Mid)
温度等级(Temperature Grade)	I (工业级)

2.2 FPGA BANK接口电平选择

核心板上对外的BANK分别为BANK3/4/5，这些BANK的IO均支持1.8V/1.2V两种电平可调。如果需要更换电平，只需要更换对应位置磁珠即可实现调整，核心板BANK电平调节磁珠位置，如下表所示。

表 BANK电平调节磁珠位号

FPGA BANK	+1.2V	+1.8V
BANK3	L17	L18
BANK4	L13	L14
BANK5	L15	L16

2.3 QSPI Flash

核心板配有一片128Mbit大小的Quad-SPI Flash芯片，型号为MX25L12835FM2I，它使用3.3V CMOS电压标准。由于QSPI

FLASH的非易失特性，在使用中，它可以存储FPGA的配置Bin文件以及其它的用户数据文件。

Part Number	Org	Temperature	Package
MX25L12835FM2I	128Mbit	-40°C to +85°C	SOP8

QSPI Flash管脚分配配置表如下表所示。

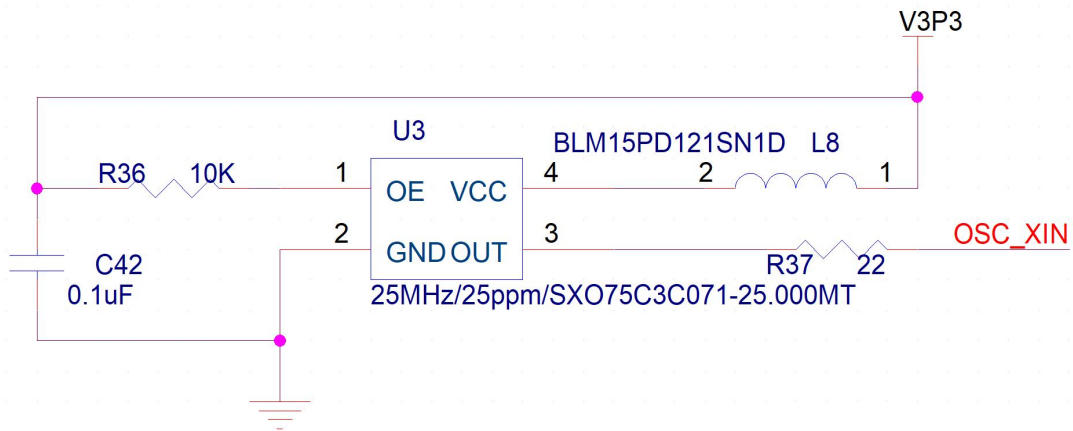
表 QSPI Flash管脚配置表

QSPI Flash 信号名称	FPGA 管脚名	FPGA 管脚位号
CS	CSSPIN	E6
SO	DQ1_MISO	E5
WP	DQ2	D5
HOLD	DQ3	E4
SCK	SPI_CLK	E7
SI	DQ0_MOSI	D6

2.4 核心板时钟

MP5659核心板为了准确适配25MHz的系统晶振。晶振输出连接到FPGA BANK1 的全局时钟，这个全局时钟用来驱动FPGA

内的用户逻辑电路。该时钟源的原理图如下图所示。



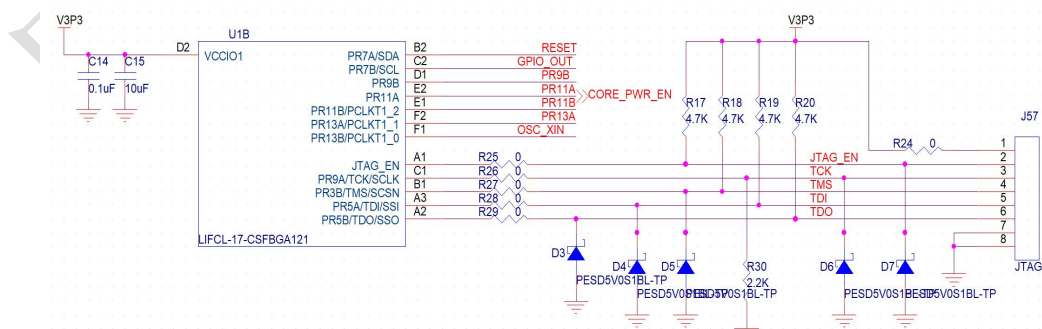
系统时钟引脚分配：

信号名称	FPGA 管脚位号
OSC_XIN	F10

2.5 JTAG调试口

MP5659核心板板载了一个8PIN的单排贴片JTAG下载调试口，方便用户单独调试FPGA。

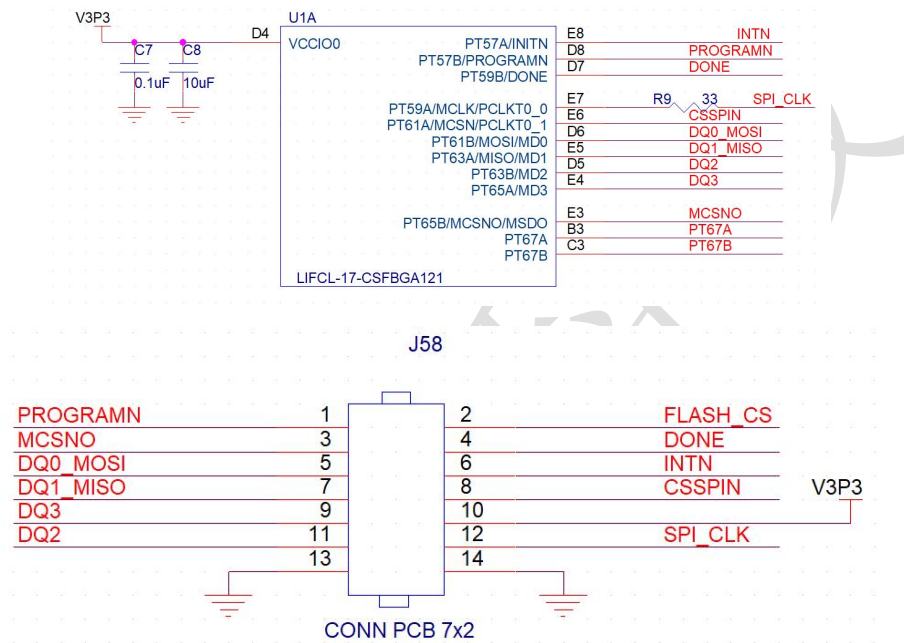
核心板的JTAG接口连接示意如下图所示：



2.6 Flash配置接口

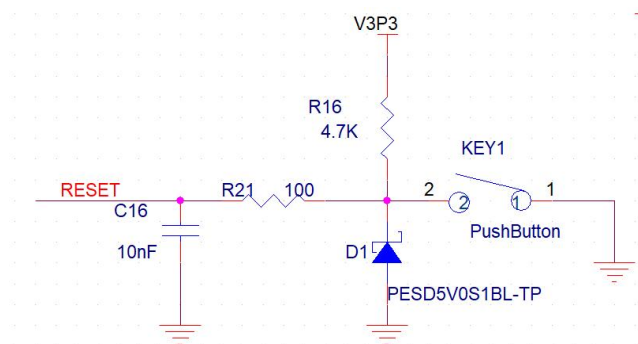
MP5659核心板板载了一个2*7 PIN的双排贴片Flash下载口，方便用户将逻辑烧写到Flash里。

核心板的Flash配置接口连接示意如下图所示：



2.7 系统复位

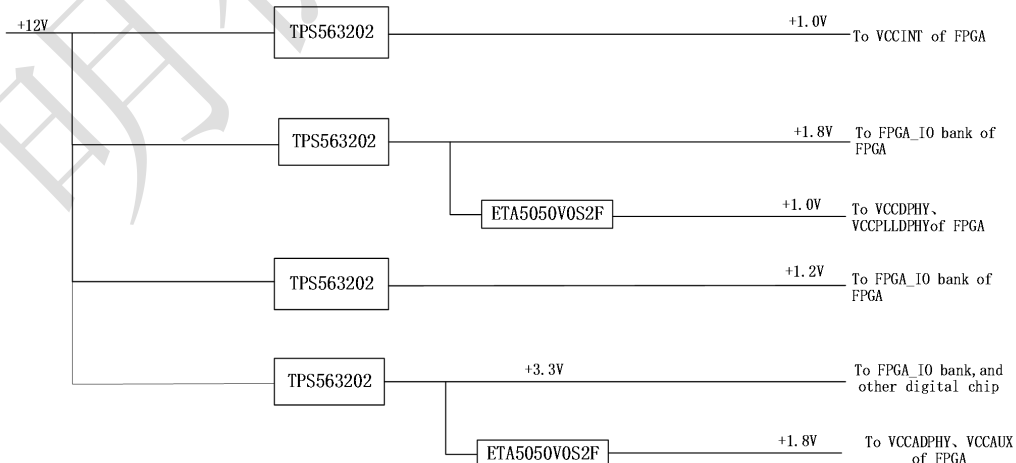
MP5650核心板支持上电复位，复位整个芯片，同时配合按键也为系统提供全局复位信号。通过按键KEY1实现全局复位，低电平复位，该管脚接在了BANK 1的B2管脚上。另外通过PROGRAMN管脚（BANK 1的B8）实现上电复位，通过按键KEY2连接到PROGRAMN管脚实现代码重新配置。



2.8 核心板电源

核心板集成电源管理，+12V电源输入通过TI 电源芯片 TPS563202 产生+1.0V、+1.2V、+1.8V、+3.3V电压，为VCC、VCCIO、晶振、FLASH等供电。+1.8V电压经过ETA5050VOS2F转换为LDO_1.0V直流，为VCCDPHY、VCCPLLDPHY提供1.0V的电压。+3.3V 电压经过ETA5050VOS2F转换为LDO_1.8V直流，为VCCADPHY、VCCAUX提供1.8V的电压。

核心板供电架构如下图所示：



电源分配如下表：

电源	供电区域
+1.0V	FPGA INT内核电压
+1.2V	BANK3、BANK4、BANK5通过磁珠可更换
+1.8V	
LDO_+1.8V	VCCADPHY、VCCAUX
LDO_+1.0V	VCCDPHY、VCCPLLDPHY
+3.3V	BANK0、BANK1、其他板上芯片

2.9 核心板启动方式

核心板支持两种启动模式，分别是JTAG、QSPI Flash。默认为QSPI Flash启动。

2.10 槽形孔管脚定义

这款核心板的槽形孔扩展出了54个IO，其中BANK3、BANK4、BANK5的全部IO的电平可以通过更换核心板上的磁珠来修改，满足用户对+1.2V、+1.8V电平接口的需求；另外核心板也扩展出了8对D-PHY接口。而且IO连接部分，同一个BANK管脚到连接器接口之间走线做了等长和差分处理，对于二次开发来说，非常适合。

J1连接器的引脚分配

槽形孔位号	信号名称	FPGA引脚号	槽形孔位号	信号名称	FPGA引脚号
J1	MIPI6_DP1	L9	J46	MIPI10_DP0	K7
J2	MIPI4_CLKP	L4	J47	MIPI10_DN0	J7
J3	MIPI6_DN1	K9	J48	MIPI10_CLKP	L10
J4	MIPI4_CLKN	L3	J49	MIPI10_CLKN	K10
J5	MIPI7_CLKP	J8	J50	PT67A	B3
J6	MIPI4_DP0	J4	J51	PT67B	C3
J7	MIPI7_CLKN	K8	J52	PR9B	D1
J8	MIPI4_DN0	K4	J53	PR13A	F2
J9	MIPI7_DP0	H8	J54	PR11B	E1
J10	MIPI4_DP1	G4	J55	GPIO_OUT	C2
J11	MIPI7_DN0	H7	J59	MIPI2_CLKP	C11
J12	MIPI4_DN1	H4	J60	MIPI2_CLKN	C10
J13	MIPI7_DP1	G7	J61	MIPI2_DP0	D11
J14	MIPI5_DP1	L2	J62	MIPI2_DN0	D10
J15	MIPI5_DN1	G8	J63	MIPI2_DP1	B11
J16	MIPI7_DN1	L1	J64	MIPI2_DN1	B10
J17	MIPI5_DP0	K1	J65	MIPI2_DP2	E11
J18	GPIO_P	F7	J66	MIPI2_DN2	E10
J19	MIPI5_DN0	K2	J67	MIPI2_DP3	A11
J20	GPIO_N	F6	J68	MIPI2_DN3	A10
J21	MIPI8_DP1	F5	J69	MIPI3_CLKP	A7
J22	MIPI5_CLKP	J1	J70	MIPI3_CLKN	B7
J23	MIPI5_CLKN	J2	J71	MIPI3_DP0	A8

J24	MIPI8_DN1	G5	J72	MIPI3_DN0	B8
J25	MIPI8_DP0	H5	J73	MIPI3_DP1	A6
J26	MIPI6_CLKP	H1	J74	MIPI3_DN1	B6
J27	MIPI8_DN0	J5	J75	MIPI3_DP2	A9
J28	MIPI6_CLKN	H2	J76	MIPI3_DN2	B9
J29	MIPI6_DP0	G2	J77	MIPI3_DP3	A5
J30	MIPI8_CLKP	L5	J78	MIPI3_DN3	B5
J31	MIPI6_DN0	G1	J79	+12V	
J32	MIPI8_CLKN	K5	J80	+12V	
J34	MIPI9_DP1	G11	J81	+12V	
J35	MIPI9_DN1	G10	J82	+12V	
J36	MIPI9_DP0	H11	J84	GND	
J37	MIPI9_DN0	H10	J85	GND	
J38	MIPI9_CLKP	J11	J86	GND	
J39	MIPI9_CLKN	J10	J87	GND	
J40	MIPI10_DP3	L7	J88	GND	
J41	MIPI10_DN3	L8	J89	GND	
J42	MIPI10_DP2	L6	J90	GND	
J43	MIPI10_DN2	K6	J91	GND	
J44	MIPI10_DP1	K11	J92	GND	
J45	MIPI10_DN1	L11	J93	GND	

三、底板设计注意事项

3.1 电源部分PCB设计

电源输入需要铺铜皮连接，打足够的过孔保证通电流能力，但电源电压较高，干扰较大，在保证通流的情况下不要让这个铜皮更大，以免干扰其他信号。GND管脚需要连接到地平面上，且一个地管脚需要打两个过孔，保证通流和充分连接。

3.2 LVDS信号

模组的BANK电平可以在+1.8V、+1.2V电平之间选择。底板的LVDS信号走线需做差分/阻抗控制处理，并且差分之间保持等长。

四、技术支持

在使用开发板遇到问题时，工作人员将通过电话，远程，Email 邮件, 技术论坛，QQ、微信群等交流途径，提供全方位的技术支持。

售后：开发板保修期为 6 个月，全国统一服务热线：
020-39002701，QQ：1241003385吴老师。

五、更多帮助

1、明德扬官网：

新版<http://www.mdy-edu.com/>

旧版<http://old.mdy-edu.com/>

2、客服热线：13316124179（微信同步）

3、论坛：www.fpgabbs.com

4、线上商城：

(1) mdy-edu.taobao.com

(2) shop247359875.taobao.com

5、FPGA交流群：603926119

6. 明德扬微信公众号：

